

1/3,LS,AB/2 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

009830644
WPI Acc No: 1994-110500/ 199414
XRAM Acc No: C94-051083
XRPX Acc No: N94-086520

**Reducing vibrations of roll-shaped work elements - where mean angle
between vibration and peripheral velocity vectors of the rolls is much
less than 90 deg.**

Patent Assignee: BLOCHWITZ R (BLOC-I); SEIDEL B (SEID-I)

Inventor: BLOCHWITZ R; SEIDEL B

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 4232920	A1	19940331	DE 4232920	A	19920928	199414 B

Priority Applications (No Type Date): DE 4232920 A 19920928

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 4232920	A1		8	F16F-015/10	

Abstract (Basic): DE 4232920 A

Reducing vibrations of rolls (2,3) with hubs (4,5) for joining them to their carrier, drive and loading units involves dimensioning these units in such a way that the mean angle ψ between the vibration vector q_w and the peripheral velocity vector v_u of the roll at the centroid of its loading region is less than 90 deg. but not zero.

Rods with dampers are installed between adjacent roll carrier units, and between roll loading units and the foundation.

USE/ADVANTAGE - In metal rolling installations, in paper mfr. etc. Roll vibrations are reduced in a cost-effective manner.

Dwg.1/5



⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 42 32 820 A 1**

⑤① Int. Cl. 5:
H 01 L 29/784
H 01 L 21/336
// H 01 L 27/105

②① Aktenzeichen: P 42 32 820.9
②② Anmeldetag: 30. 9. 92
②③ Offenlegungstag: 22. 4. 93

DE 42 32 820 A 1

③① Unionspriorität: ③② ③③ ③①
10.10.91 KR 91-17727

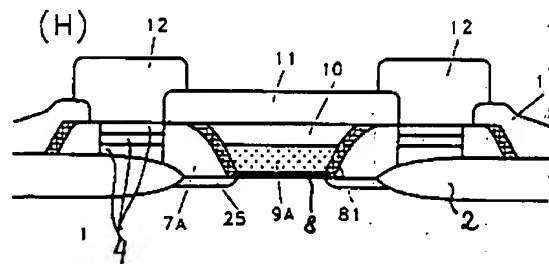
⑦① Anmelder:
Gold Star Electron Co., Ltd., Chungcheongbuk, KR

⑦④ Vertreter:
von Samson-Himmelstjerna, F., Dipl.-Phys.; Turi, M.,
Dipl.-Phys., Pat.-Anwälte, 8000 München

⑦② Erfinder:
Jang, Seong Jin, Seoul/Soul, KR

⑤④ MOSFET und Verfahren zu dessen Herstellung

⑤⑦ Der nach dem erfindungsgemäßen Verfahren hergestellte MOSFET hat folgende Merkmale: eine Gateoxidschicht (8) auf der Oberfläche eines Siliziumsubstrates (1); ein von unten nach oben allmählich breiter werdendes Polysiliziumgate (9A) auf der Gateoxidschicht (8); eine das Gate (9A) seitlich umgebende, oxidativ hergestellte Seitengateoxidschicht (81), die sich ebenfalls allmählich von unten nach oben erweitert; ein an die Seiten der Gateoxidschicht (8) angrenzender Source-/Drainbereich (25); ein Anschlußteil auf einer Feldoxidschicht (2), der bevorzugt aus Polysilizium oder einer stapelartigen Struktur (4) aus Silizid und Polysilizium besteht und ggf. auch noch eine Oxidschicht aufweist; und einem von der Seitengateoxidschicht (81) ausgehenden dotierten Polysilizium (7A) zur Herstellung eines elektrischen Kontaktes zwischen dem Source-/Drainbereich (25) und dem Anschlußteil (4).



DE 42 32 820 A 1

Beschreibung

Die Erfindung bezieht sich auf einen MOSFET und ein Verfahren zu dessen Herstellung.

MOSFETs sind bekannt, so z. B. der in Fig. 2 dargestellte MOSFET, einschließlich des nachstehend erläuterten konventionellen Herstellungsverfahrens.

Gemäß Fig. 2 wird ein Gateoxidfilm 85 auf ein Siliziumsubstrat 1 aufgebracht. Auf den Gateoxidfilm 85 wird ein Polysiliziumfilm gelegt, aus dem durch Ätzen ein Polygate 95 strukturiert wird. Durch Ionenimplantation wird ein Source/Drainbereich 22 ausgebildet. Um das Polygate 95 wird eine Oxidseitenwand 75 aufgebaut und danach eine Isolationsschicht (ein Oxidfilm) 77 aufgebracht. Schließlich werden Kontaktdurchbrüche hergestellt und metallische Kontakte 79 zum Source-/Drainbereich 22 eingebracht.

Dieses konventionelle Herstellungsverfahren hat eine Reihe von Nachteilen.

Erstens, bedient man sich eines photolithographischen Prozesses und versucht dabei die Halbleiterstruktur auf eine hochgradige Feinstruktur zu verkleinern, spielen störende optische Interferenz- und Beugungserscheinungen eine immer größere Rolle. Diese optischen Erscheinungen begrenzen das Auflösungsvermögen so stark, daß Halbleiterbauelemente mit einer im 0,5 µm-Bereich oder darunter liegenden Feinstruktur nicht mehr hergestellt werden können.

Zweitens, selbst bei Einsatz einer photolithographischen Phasenverschiebetechnik schwanken die Kenndaten des MOSFET, weil sich der Verfahrensschritt der Gateherstellung keiner Selbstausrichtetechnik bedient.

Drittens, sollte gleichwohl ein Halbleiterbauelement im 0,2 µm-Bereich hergestellt werden, muß der Source-/Drainbereich groß sein, um einen Kontakt herstellen zu können.

Die Erfindung befaßt sich mit den vorstehend genannten Problemen und möchte einen weiteren MOSFET sowie ein Verfahren zu dessen Herstellung zur Verfügung stellen.

Die Erfindung erreicht dieses Ziel mit den Gegenständen der Patentansprüche 1 und 5, also insbesondere mit einem Verfahren zur Herstellung eines MOSFETs, das folgende Verfahrensschritte aufweist:

- Ausbilden einer Feldoxidschicht auf einem Siliziumsubstrat zur Festlegung eines aktiven Bereiches und Aufbringen folgender Schichten in der angegebenen Reihenfolge: eine Zwischenoxidschicht (pad oxide layer), eine undotierte Polysilizium- oder Silizid-/Polysilizium-Schicht und eine CVD-Oxidschicht;
- Festlegen des für die Herstellung des MOSFETs vorgesehenen Bereiches mit Hilfe einer Maske, reaktives Ionenätzen (RIE-Prozeß) der Oxidschicht, der undotierten Polysilizium- oder Silizid-/Polysilizium-Schicht und der Zwischenoxidschicht und Implantieren von Ionen in einen Kanalbereich;
- Aufbringen von undotiertem Polysilizium;
- Ausformen einer Seitenwand aus undotiertem Polysilizium durch reaktives Ionenätzen;
- vorzugsweise: Ausheilen etwaiger Silizium-Ätzhäden durch Tempern und Entfernen einer dabei aufgewachsenen Oxidschicht;
- Oxidieren eines Gatebereiches, insbesondere zur Herstellung einer Gateoxidschicht und einer Gateseitenwandoxidschicht und Aufbringen eines Gatepolysilizium;

— reaktives Ionenrückätzen des Gatepolysilizium bis nur noch ein der Gateelektrode entsprechender Abschnitt des Gatepolysilizium übrigbleibt und Isolieren der Gateelektrode durch Aufbringen einer Oxidschicht;

— reaktives Ionenrückätzen der Gateisolationschicht und erneutes reaktives Ionenrückätzen des Polysilizium, um die Spitze der Seitenwand aus undotiertem Polysilizium zu entfernen sowie die Seitenwand zu planarisieren — bevorzugt wird hierbei eine Ätzrate zwischen der Oxidschicht und der Seitenwand aus undotiertem Polysilizium von 1:1 gewählt — und anschließendes Source-/Drainionenimplantieren zur Herstellung eines Source-/Drainbereiches; schließlich

— Herstellen von Anschlußkontakten nach Aufbringen einer Oxidschicht, durch Ausbildung von Durchbrüchen in der Oxidschicht und Einbringung von Metall in die Durchbrüche.

Der erfindungsgemäß aufgebaute MOSFET hat folgende Merkmale:

- ein Polysiliziumgate auf einer Gateoxidschicht;
- eine sich allmählich verbreiternde Seitengateoxidschicht an den Seiten des Polysiliziumgates;
- eine Seitenwand des Gates aus dotiertem Polysilizium;
- einen Anschlußbereich aus Polysilizium oder einem Silizid-Polysiliziumstapel, der von der Polysiliziumseitenwandung des Gates und der — thermisch darauf aufgetragenen — Seitengateoxidschicht umgeben ist und auch noch eine Oxidschicht tragen kann;
- einen Source-/Drainbereich unterhalb und der Polysiliziumseitenwandung des Gates und der thermisch darauf hergestellten Seitengateoxidschicht;
- eine Feldoxidschicht unterhalb des Anschlußbereiches; und
- eine auf dem Anschlußbereich aufgetragene Metallisierung.

Der erfindungsgemäß hergestellte MOSFET hat den Vorteil, daß er im 0,2 µm-Bereich liegt. Das erfindungsgemäße Verfahren greift dabei auf das konventionelle photolithographische Verfahren zurück und bedient sich bei der Gateherstellung einer Selbstausrichtetechnik.

Nachstehend wird die Erfindung anhand eines Ausführungsbeispiels näher erläutert. Die beigefügte schematische Zeichnung illustriert aufeinanderfolgende Verfahrensschritte und die hierdurch jeweils erreichten Zwischenprodukte und schließlich das Endprodukt.

Es zeigt

Fig. 1A — H ein erfindungsgemäßes Herstellungsverfahren und den hierdurch erzielten MOSFET (Fig. 1H); und

Fig. 2 den Aufbau eines konventionell hergestellten MOSFETs.

Gemäß Fig. 1A wird auf ein Siliziumsubstrat 1 eine Feldoxidschicht 2 aufgebracht, um einen aktiven Bereich zu begrenzen und zu isolieren.

Sodann werden nacheinander aufgebracht: eine Zwischenoxidschicht (pad oxide layer) 3, ein undotiertes Polysilizium und/oder ein Silizid-Polysilizium 4 und eine CVD-Oxidschicht 5. Mit Hilfe einer Photoresistmaske 6 wird ein Abschnitt zur Herstellung eines MOSFET (aktiver Bereich) begrenzt.

Gemäß Fig. 1B werden danach die von der Photore-

sistmaske 6 freigelassenen Bereiche der CVD-Oxidschicht 5, des undotierten Polysiliziums und/oder Silizium-Silizids 4 und der Zwischenoxidschicht 3 durch reaktives Ionenätzen (RIE) geätzt. Außerdem wird eine Ionenimplantation für einen Kanal zur Einstellung einer Schwellenspannung durchgeführt.

Gemäß Fig. 1C wird anschließend undotiertes Polysilizium 7 in einer Stärke von ungefähr 2000 Å aufgebracht.

Nach Fig. 1D wird sodann das undotierte Polysilizium 7 durch einen RIE-Prozeß zurückgeätzt, um hierdurch einen Seitenwandbereich 7A aus undotiertem Polysilizium auszubilden. Danach wird getempert, um die Silizium-Ätزشäden auszuheilen. Anschließend wird eine sich während des Temperprozesses etwa gebildete Oxidschicht entfernt.

Danach (Fig. 1E) werden in einem Oxidationsprozeß eine Oxidschicht 81 auf der Seitenwand 7A und eine Gateoxidschicht 8 ausgebildet. Die hierbei auf der Seitenwand 7A aus undotiertem Polysilizium gebildete Oxidschicht 81 ist etwa dreimal so dick wie die Gateoxidschicht 8 auf dem Silizium. Die Seitenwand 7A aus undotiertem Polysilizium ist also von den später herzustellenden Schichten isoliert.

Sollte eine derartige Isolierung nicht ausreichen, wird eine gute Isolation wie folgt sichergestellt: auf der Seitenwand 7A aus undotiertem Polysilizium wird nach deren Herstellung — vor dem Oxidationsprozeß — eine Oxidschicht etwa 500 Å aufgebracht.

Nach Herstellung des Gateoxids 8 wird ein Gatepolysilizium 9 aufgebracht.

Anschließend (Fig. 1F) wird das Gatepolysilizium 9 RIE rückgeätzt, so daß davon nur noch ein zur Herstellung des Gates 9A benötigter Teil übrigbleibt. Zur Isolation des Gates 9A wird anschließend eine Oxidationschicht 10 aufgebracht.

Sodann (Fig. 1G) werden die Oxidschichten 10, 5 und 81 einem RIE-Prozeß unterworfen. Auch das undotierte Polysilizium wird einem derartigen Prozeß unterworfen, um die obere Oberfläche der Seitenwand 7A zu ebenen. Die Ätzrate zwischen dem undotierten Polysilizium 7A und der Oxidschicht ist hierbei bevorzugt 1:1. Danach wird ein Source/Drain-Bereich 25 mittels einer Source/Drain-Ionenimplantation aufgebaut. Während dieses Verfahrensschrittes wird auch die Seitenwand 7A aus undotiertem Polysilizium dotiert, so daß sie elektrisch leitend wird.

Schließlich (Fig. 1H) wird als Isolationsmittel eine Oxidschicht 11 aufgebracht, in der Kontaktdurchbrüche für eine elektrische Verbindung zum Source/Drain-Bereich 25 hergestellt werden. Darauf wird eine Metallschicht aufgetragen und so strukturiert, daß Verdrahtungskontakte 12 entstehen. Das MOSFET ist damit fertiggestellt.

Das erfindungsgemäße Verfahren bedient sich einer Selbstausrichtetechnik zur Herstellung des Source/Drain-Bereichs 25 und des Gate 9A. Anders als bei einem konventionell hergestellten MOSFET ist das Gate 9A des erfindungsgemäßen MOSFET außerordentlich dünn.

Nachfolgend wird die Gesamtstruktur des erfindungsgemäßen MOSFET beschrieben.

Das Polysiliziumgate 9A liegt auf der Gateoxidschicht 8. Die seitliche Gateoxidschicht 81 ist sehr dünn, da sie durch einen Oxidationsschritt hergestellt ist.

Die seitliche Gateoxidschicht 81 erweitert sich allmählich von unten nach oben, d. h. vom Boden zur Spitze. Analog zur seitlichen Gateoxidschicht 81 verbreitert

sich die Gate-Elektrode 9A.

Die Gate-Elektrode 9A wird von der seitlichen Gateoxidschicht 81 (thermische Oxidschicht), dem dotierten Polysilizium 7A und dem stapelartigen Aufbau aus Oxidschicht und Polysilizium oder Polysilizium-Silizid umgeben.

Der Source/Drain-Bereich 25 befindet sich unter dem Polysilizium 7A und der — seitlich des Gate 9A angeordneten — thermischen Oxidschicht 81.

Die Feldoxidschicht 2 liegt unter der o. g. stapelartigen Struktur 4, auf welcher der metallische Kontakt 12 angeordnet ist.

Zusammenfassend hat der MOSFET folgende Merkmale: eine Gateoxidschicht 8 auf der Oberfläche eines Siliziumsubstrates 1; ein von unten nach oben allmählich breiter werdendes Polysiliziumgate 9A auf der Gateoxidschicht 8; eine das Gate 9A seitlich umgebende, oxidativ hergestellte Seitengateoxidschicht 81, die sich ebenfalls allmählich von unten nach oben erweitert; ein an die Seiten der Gateoxidschicht 8 angrenzender Source-/Drainbereich 25; ein Anschlußteil auf einer Feldoxidschicht 2, der bevorzugt aus Polysilizium oder einer stapelartigen Struktur 4 aus Silizid und Polysilizium besteht und ggf. auch noch eine Oxidschicht aufweist; und einem von der Seitengateoxidschicht 81 ausgehenden dotierten Polysilizium 7A zur Herstellung eines elektrischen Kontaktes zwischen dem Source-/Drainbereich 25 und dem Anschlußteil 4.

Der erfindungsgemäß hergestellte MOSFET und dessen Herstellungsverfahren haben folgende Vorteile:

Erstens, ein im 0,2 µm Bereich liegender MOSFET kann mit Hilfe eines konventionellen photolithographischen Prozesses hergestellt werden.

Zweitens, nach der Erfindung ist ein MOSFET herstellbar, dessen aktiver Bereich ungefähr 1 µm lang ist.

Drittens, die Source/Drain-Ionenimplantation wird auf einem undotierten Polysilizium ausgeführt und hierdurch eine günstige Bedingung zum Aufbau einer flachen Übergangszone erreicht.

Viertens, da bei der Gate-Herstellung eine Selbstausrichtetechnik eingesetzt wird, kann sogar ein photolithographischer Ätzprozeß zur Herstellung eines 0,2 µm Gate eingesetzt werden.

Fünftens, da das Gate vom Source/Drain-Bereich durch die thermische Oxidschicht, die seitliche Gateoxidschicht, isoliert ist, läßt sich die Isolation durch eine Oxidschicht minimaler Dicke erreichen.

Patentansprüche

1. Verfahren zur Herstellung eines MOSFET mit folgenden nacheinander ausgeführten Verfahrensschritten:

a) Ausbilden einer Feldoxidschicht (2) auf einem Siliziumsubstrat (1) zur Begrenzung eines aktiven Bereiches und anschließendes Aufbringen einer Zwischen- oder Padoxidschicht (3), danach einer undotierten Polysilizium- oder Silizid/Polysiliziumschicht (4) und schließlich einer CVD-Oxidschicht (5) (Fig. 1A);

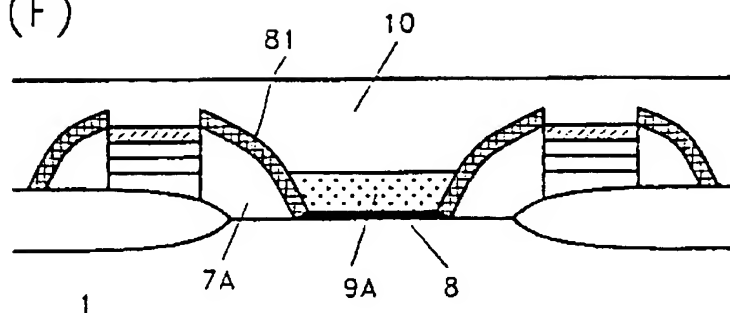
b) photolithographisches (6) Festlegen eines aktiven MOS-FET-Bereiches und reaktives Ionenätzen der CVD-Oxidschicht (5), der undotierten Polysilizium- oder Silizid/Polysiliziumschichtstruktur (4) und der Zwischenoxidschicht (3) zur Ausbildung eines Anschlußabschnittes für einen Source-/Drainbereich (25)

- und eines aktiven Bereiches sowie Ausführen einer Kanal-Ionenimplantation (Fig. 1A, B);
 c) Aufbringen von undotiertem Polysilizium (7) und reaktives Ionenrückätzen desselben zur Ausformung einer Seitenwand (7A) aus undotiertem Polysilizium um den Anschlußabschnitt (Fig. 1C, D);
 d) Oxidieren (8, 81) der so erhaltenen Struktur und Aufbringen eines Gatepolysilizium (9) (Fig. 1E);
 e) Ausbilden einer Gateelektrode (9A) durch reaktives Ionenrückätzen des Gatepolysilizium (9) bis auf einen entsprechenden Restabschnitt und Isolieren der Gateelektrode (9A) durch Aufbringen einer Oxidschicht (10) (Fig. 1F); und
 f) reaktives Ionenrückätzen der Oxidschichten (10, 81, 5) und des oberen Abschnittes der Seitenwand (7A) aus undotiertem Polysilizium (7), um eine ebene Oberfläche herzustellen sowie eine Gateoxidschicht stehen zu lassen, und Ionenimplantieren, durch welches der Source/Drainbereich (25) ausgebildet und das undotierte Polysilizium (7A) leitend gemacht wird (Fig. 1G).
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß Verdrahtungskontakte (12) aufgebaut werden durch: Aufbringen einer Oxidschicht (11), Ausbilden von Kontaktdurchbrüchen in der Oxidschicht (11), Ablagerung einer Metallschicht und Strukturieren der Metallschicht (Fig. 1H).
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß zwischen den Verfahrensschritten c) und d) Silizium-Ätزشäden durch Tempern ausgeheilt und eine während des Temperns entstehende Oxidschicht entfernt wird.
4. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß für den Verfahrensschritt f) eine Ätzrate von 1:1 für die Oxidschicht und das Polysilizium (7A) gewählt wird.
5. MOSFET mit folgenden Merkmalen:
 a) eine Gateoxidschicht (8) auf einer Siliziumoberfläche (1);
 b) ein allmählich sich erweiterndes Polysiliziumgate (9A) auf der Gateoxidschicht (8);
 c) eine Seitengateoxidschicht (81), welche das Polysiliziumgate (9A) umgibt und sich von unten nach oben allmählich erweitert;
 d) ein Source-/Drainbereich (25) zu beiden Seiten der Gateoxidschicht (8);
 e) ein Anschlußabschnitt (4) auf einem Feldoxidbereich (2); und
 f) ein an die Seitengateoxidschicht (81) angrenzendes dotiertes Polysilizium (7A) zur elektrischen Verbindung des Anschlußabschnittes (4) mit dem Source-Drainbereich (25).
6. MOSFET nach Anspruch 5, dadurch gekennzeichnet, daß der Anschlußbereich (4) aus Silizium oder einer sandwichartigen Silizid-Polysiliziumstruktur besteht.
7. MOSFET nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß der Anschlußabschnitt (4) eine Oxidschicht (5) aufweist.

- Leerseite -

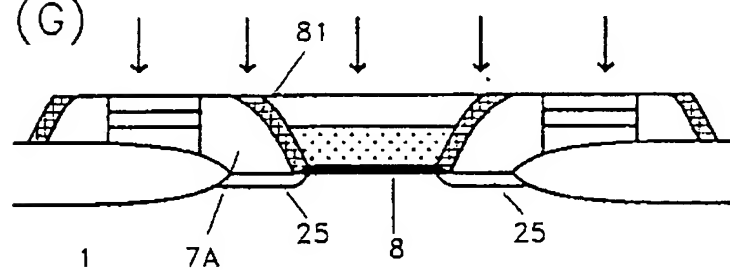
FIG. 1

(F)



1/1

(G)



(H)

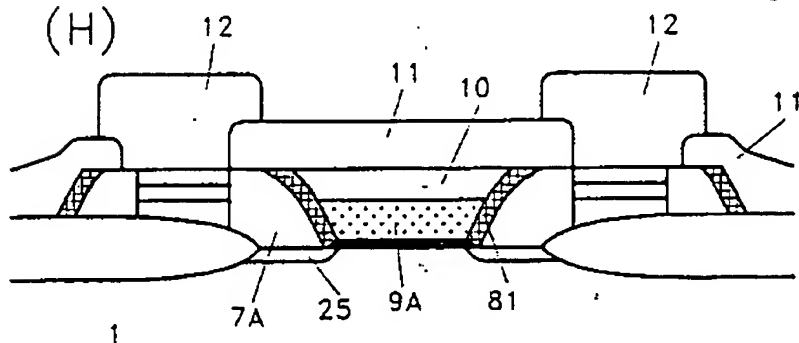


FIG. 2

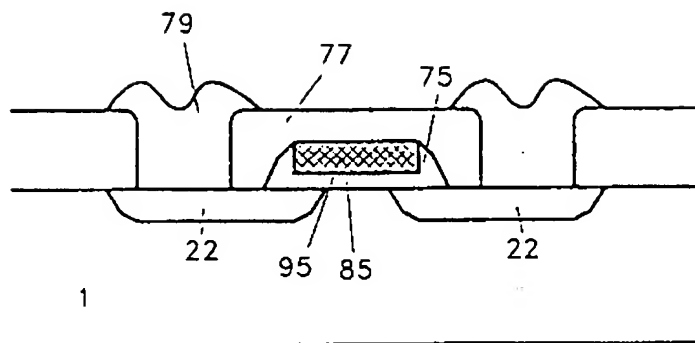


FIG. 1

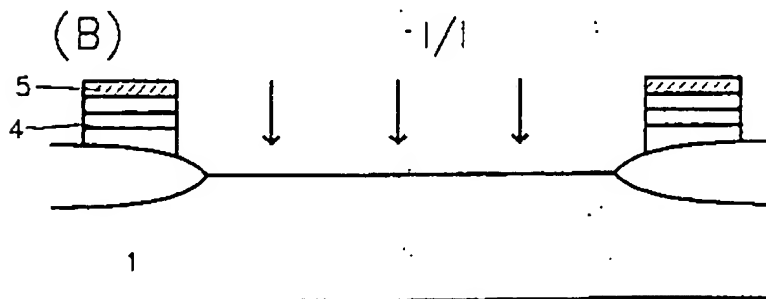
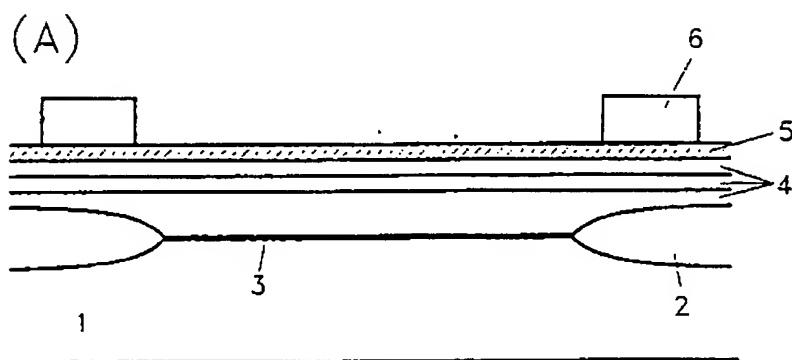


FIG. 1

